

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application: 2002年 8月28日

出願番号
Application Number: 特願2002-248733

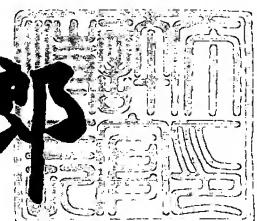
[ST.10/C]: [JP2002-248733]

出願人
Applicant(s): 株式会社フライングモール

2003年 6月20日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3048840

【書類名】 特許願

【整理番号】 FLY003

【提出日】 平成14年 8月28日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03F 3/217

【発明者】

【住所又は居所】 東京都杉並区清水3丁目8-21

【氏名】 横山 健司

【特許出願人】

【識別番号】 501028699

【氏名又は名称】 株式会社フライングモール

【代理人】

【識別番号】 100090620

【弁理士】

【氏名又は名称】 工藤 宣幸

【手数料の表示】

【予納台帳番号】 013664

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタル電力増幅器

【特許請求の範囲】

【請求項1】 高電位及び低電位の電源ライン間に直列に介挿された対をなす、ユニポーラトランジスタでなる第1及び第2のスイッチング素子を有するスイッチング部を少なくとも一対備え、対をなす上記第1及び第2のスイッチング素子を、基本的には、相補動作させると共に、オン動作しているスイッチング素子を切り替える際には、共にオフしているデッドタイムを設けて、ローパスフィルタへの電源供給を制御するデジタル電力増幅器において、

上記スイッチング部が、

高電位及び低電位の上記電源ライン間に、上記第1のスイッチング素子、第1のコイル、第2のコイル及び上記第2のスイッチング素子をこの順序で直列に接続していると共に、

高電位の上記電源ラインにカソードが接続され、アノードが上記第2のコイル及び上記第2のスイッチング素子間の接続点に接続された第1の高速ダイオードと、上記第1のスイッチング素子及び上記第1のコイル間の接続点にカソードが接続され、アノードが低電位の上記電源ラインに接続された第2の高速ダイオードとを備え、

上記第1のコイル及び上記第2のコイル間の接続点を、上記ローパスフィルタ側に接続している

ことを特徴とするデジタル電力増幅器。

【請求項2】 入力アナログ信号を増幅するアナログアンプと、コイル及び第1のコンデンサでなるローパスフィルタと、上記アナログアンプ出力をPWM信号に変換し、上記ローパスフィルタへの電源供給を制御するデジタルアンプブロックとを有するデジタル電力増幅器において、

上記ローパスフィルタのコイル及び第1のコンデンサ間の接続点電圧を上記アナログアンプにフィードバックするフィールドバック回路として、第2のコンデンサ及び抵抗の直列回路を適用し、この直列回路に、上記ローパスフィルタに負

荷が接続されていない場合、又は、高インピーダンスの負荷が接続された際に生じる、上記ローパスフィルタの周波数応答特性の高域ピークのダンパ機能を持たせた

ことを特徴とするデジタル電力増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はデジタル電力増幅器に関し、例えば、オーディオアンプに適用し得るものである。

【0002】

【従来の技術】

近年、電力増幅器（アンプ）のデジタル化が急速に進みつつある。特に、オーディオアンプにおいては、本格的な採用に目覚ましいものがある。デジタル電力増幅器（いわゆるスイッチングアンプ）を搭載する機器としてはDVDプレイヤ、ミニコンポ、テレビ受像器、パソコン、携帯電話機等がある。

【0003】

図7は、従来のプラスマイナスの2電源のスイッチングアンプの負荷（スピーカ）周辺の構成を示すブロック図である。

【0004】

トランジスト、ダイオードD1及びD2、並びに、電源コンデンサC1及びC2で形成させた電源部によるプラスマイナスの2電源の電源ライン+B、-B間にには、例えば、FETでなるスイッチング素子FET1及びFET2が接続されている。スイッチング素子FET1及びFET2間の接続点と、電源コンデンサC1及びC2間の接続点との間に、ローパスフィルタを構成するコイルL及びコンデンサCが接続され、ローパスフィルタを構成するコンデンサCに負荷となっているスピーカSPが並列に接続されている。

【0005】

一対のスイッチング素子FET1及びFET2は、アナログオーディオ信号を変換して得た1ビットのデジタル信号（PWM信号）に応じて、基本的には、

相補的にオンオフ制御されるものであり、図7は、スイッチング素子FET1がオン動作をしている状態を示している。このような一方のスイッチング素子FET1又はFET2のオン動作により、ローパスフィルタを構成するコンデンサCに対し、電源電流が順方向又は逆方向に流れ、それにより、適宜変化したコンデンサCの両端電圧（当初の入力アナログオーディオ信号を増幅したものになっている）が負荷SPに印加されるようになっている。

【0006】

ここで、ローパスフィルタコイルLの両端はそれぞれ、フィードバック抵抗R1及びR2を介して、入力アナログオーディオ信号を増幅するアナログアンプ部（図示せず）にフィードバックし、ローパスフィルタ出力を安定化させるようにしている。

【0007】

また、オンしているスイッチング素子を切り替える際には、スイッチング素子のオンからオフへ遷移特性と、オフからオンへの遷移特性との相違によって、両スイッチング素子に渡って貫通電流が流れる。

【0008】

これを防止するように、従来においては、オンしていたスイッチング素子をオフするタイミングを、オフしていたスイッチング素子をオンするタイミングより多少早めにするようにし、共にオフするデッドタイムを設けている。

【0009】

【発明が解決しようとする課題】

ところで、ローパスフィルタによって不要高域を除去しており、フィードバック機能により安定化を図っているが、スイッチングアンプの場合、高インピーダンス負荷や無負荷時には、図8の周波数特性図に示すように、ローパスフィルタのカットオフ周波数近傍の高域に、ピークが発生するという課題がある。

【0010】

そのため、図9に示すように、コンデンサCD及び抵抗RDでなるダンパを、ローパスフィルタコンデンサCに並列に設けることが考えられる。しかし、このダンパにおいて、電力ロスが生じてしまうという課題が新たに生じる。

【0011】

また、上述したように、一対のスイッチング素子FET1及びFET2が同時にオン動作しないように（貫通電流を流さないように）、デッドタイムを設けている。

【0012】

しかしながら、スイッチング素子としてMOSFETを適用した場合には、内蔵ダイオード（ボディダイオード）があり、その逆回復が非常に遅い。そのため、高速でスイッチングした場合には、スイッチング素子を瞬時にはオフすることができず、スイッチング素子本体がオフでも、キャリア蓄積効果で内蔵ダイオードに逆電流が流れ、オンしたスイッチング素子からオフしたはずのスイッチング素子へ貫流電流が流れています。

【0013】

この内蔵ダイオードの動作の遅さに起因する貫流電流を防止する方法として、図10に示すように、スイッチング素子に直列に逆流素子用の高速ダイオードD3、D4を設けると共に、スイッチング素子に並列に、逆起電圧のバイパス用の高速ダイオードD5、D6を設けることも行われている。逆起電圧のバイパス用の高速ダイオードD5、D6は、電源電流が流れているときにローパスフィルタコイルLに蓄積されたエネルギーが、オンしていたスイッチング素子をオフした直後に、逆起電圧による電流として流れる経路を形成するものである。

【0014】

しかしながら、逆流阻止用の高速ダイオードD3、D4を設けると、その高速ダイオードD3、D4による電圧ロスがあり、効率が落ちるという課題がある。

【0015】

そのため、従来より、電力増幅効率が高いデジタル電力増幅器が望まれている。

【0016】

【課題を解決するための手段】

かかる課題を解決するため、第1の本発明は、高電位及び低電位の電源ライン間に直列に介挿された対をなす、ユニポーラトランジスタでなる第1及び第2の

スイッチング素子を有するスイッチング部を少なくとも一対備え、対をなす上記第1及び第2のスイッチング素子を、基本的には、相補動作させると共に、オン動作しているスイッチング素子を切り替える際には、共にオフしているデッドタイムを設けて、ローパスフィルタへの電源供給を制御するデジタル電力増幅器において、上記スイッチング部が、高電位及び低電位の上記電源ライン間に、上記第1のスイッチング素子、第1のコイル、第2のコイル及び上記第2のスイッチング素子をこの順序で直列に接続していると共に、高電位の上記電源ラインにカソードが接続され、アノードが上記第2のコイル及び上記第2のスイッチング素子間の接続点に接続された第1の高速ダイオードと、上記第1のスイッチング素子及び上記第1のコイル間の接続点にカソードが接続され、アノードが低電位の上記電源ラインに接続された第2の高速ダイオードとを備え、上記第1のコイル及び上記第2のコイル間の接続点を、上記ローパスフィルタ側に接続していることを特徴とする。

【0017】

また、第2の本発明は、入力アナログ信号を増幅するアナログアンプと、コイル及び第1のコンデンサでなるローパスフィルタと、上記アナログアンプ出力をPWM信号に変換し、上記ローパスフィルタへの電源供給を制御するデジタルアンプブロックとを有するデジタル電力増幅器において、上記ローパスフィルタのコイル及び第1のコンデンサ間の接続点電圧を上記アナログアンプにフィードバックするフィールドバック回路として、第2のコンデンサ及び抵抗の直列回路を適用し、この直列回路に、上記ローパスフィルタに負荷が接続されていない場合、又は、高インピーダンスの負荷が接続された際に生じる、上記ローパスフィルタの周波数応答特性の高域ピークのダンパ機能を持たせたことを特徴とする。

【0018】

【発明の実施の形態】

以下、本発明によるデジタル電力増幅器の一実施形態を、図面を参照しながら詳述する。

【0019】

図1は、この実施形態に係るデジタル電力増幅器の全体概略構成を示す一部ブロックを含む回路図であり、図2は、そのデジタルアンプブロック及び電源部の内部構成などを示す一部ブロックを含む回路図である。

【0020】

図1において、演算増幅器構成の高速アナログアンプOPの非反転入力端子(+)及び反転入力端子(-)はそれぞれ、抵抗R10、R11を介して接地されおり、非反転入力端子にアナログオーディオ信号AUDが入力されるようになされており、入力されたアナログオーディオ信号AUDを増幅出力する。高速アナログアンプOPの反転入力端子は、後述するローパスフィルタ側からの帰還端子になっている。

【0021】

高速アナログアンプOPからの増幅出力信号は、図2に詳細構成を示すデジタルアンプブロック10に与えられる。デジタルアンプブロック10は、図2に詳細構成を示す電源部20からの電源供給を受けて動作するものである。

【0022】

電源部20は、例えば、従来と同様に、トランジスタT、ダイオードD1及びD2、並びに、電源コンデンサC1及びC2で形成されている。トランジスタTの1次巻線には、交流電源(例えば商用電源)ACが印加される。トランジスタTの2次巻線は、中間タップを有するものである。2次巻線の一端はダイオードD1のアノード、カソード及び電源コンデンサC1を介して中間タップに接続され、また、2次巻線の中間タップは、電源コンデンサC2、ダイオードD1のアノード及びカソードを介して2次巻線の他端に接続されており、これにより、一方の電源ラインに+B(プラス電源)を、他方の電源ラインに-B(マイナス電源)を形成するようになされている。

【0023】

デジタルアンプブロック10は、PWM発生部11や、ドライバ部12や、スイッチング部13を有する。

【0024】

PWM発生部11は、三角波発生回路やコンパレータなどでなり、高速アナロ

グアンプOPの出力信号と、内蔵する三角波発生回路が発生した三角波信号とを大小比較するなどして、高速アナログアンプOPの出力信号をPWM信号に変換するものである。ここで、PWM発生部11は、相補的なPWM信号（正相及び逆相のPWM信号）を形成する。なお、正相及び逆相のPWM信号は、例えば、完全な反転関係にあるものではなく、上述した貫通電流阻止に係るデッドタイムを考慮したものとなっている。

【0025】

ドライバ部12は、入力されたPWM信号に応じて、図3に詳細を示すスイッチング部13内のスイッチング素子SW1、SW2を駆動するものである。

【0026】

スイッチング部13においては、図3に示すように、正負電源ライン+B、-B間に、スイッチング素子SW1、コイルL11、コイルL12、スイッチング素子SW2がこの順序で接続されている。また、スイッチング素子SW1及びコイルL11間の接続点は、高速ダイオードD12のカソードに接続されており、この高速ダイオードD12のアノードは負側の電源ライン-Bに接続されており、コイルL12及びスイッチング素子SW2間の接続点は、高速ダイオードD11のアノードに接続されており、この高速ダイオードD11のカソードは正側の電源ライン+Bに接続されている。そして、両コイルL11及びL12間の接続点が、ローパスフィルタコイルLの一端に接続されている。

【0027】

ローパスフィルタコイルLのこの一端は、図1に示すように、フィードバック抵抗R1fを介して、高速アナログアンプOPの反転入力端子に接続されている。また、ローパスフィルタコイルLの他端は、コンデンサCf及び抵抗R2fの直列回路（フィードバック回路）を介して高速アナログアンプOPの反転入力端子に接続されている。

【0028】

スイッチング素子SW1、SW2としては、例えば、MOSFETを適用する。この場合、両スイッチング素子SW1及びSW2は、導電型が同一のもの（例えばNMOS-FET同士）であっても良く、CMOS構成であっても良い。高

速ダイオードD11、D12としては、スイッチング素子SW1、SW2の内蔵ダイオード（ボディダイオード）より高速動作する、例えば、ショットキーバリアダイオードを適用する。

【0029】

負荷（スピーカ）SPがローパスフィルタコンデンサCに並列に接続されている点は、従来と同様である。

【0030】

なお、この実施形態の場合、ローパスフィルタコンデンサCには、並列には、カットオフ周波数近傍の高域ピークを抑圧するための、従来に係る図9に示したようなダンパは設けられていない。

【0031】

以下、この実施形態における特徴的な構成における動作、機能を説明する。まず、スイッチング部13の動作、機能を説明する。

【0032】

スイッチング素子SW1だけがオンしている状態においては、図4に示すように、電源電流I11が流れ、この際には、ローパスフィルタコイルLだけでなく、スイッチング素子SW1に直列に接続されたコイルL11にも、エネルギーが蓄積される。

【0033】

ここで、オン状態のスイッチング素子を切り替える際のデッドタイム制御により、スイッチング素子SW1をオフすると（スイッチング素子SW2のオフ状態は継続）、ローパスフィルタコイルL及びコイルL11の逆起電力により、蓄積エネルギーが、図5に示すような電流I12となって流れる。すなわち、コイルL11が、その逆起電力により電流を流そうとし、ローパスフィルタコイルLによる逆起電力による電流を自コイルL11の方に引き込むので、スイッチング素子SW2側に（スイッチング素子SW2の内蔵ダイオード側に）、ローパスフィルタコイルLによる逆起電力による電流を流すことを阻止している。

【0034】

言い換えると、図10に示した従来に係る逆流阻止用のダイオードD4と同様

な逆流阻止機能をコイルL11が発揮している。

【0035】

しかも、逆流阻止用のダイオードD4の場合には、電圧ロスが生じるが、コイルL11の場合にはこのようなロスが生じない。なお、コイルL11やL12としては、例えば数 μ Hのものを適用する。

【0036】

次に、ローパスフィルタを構成するコイルL及びコンデンサC間の接続点から、アナログアンプOPへのフィードバック回路として、コンデンサC_f及び抵抗R_{2f}の直列回路を適用したことによる機能や作用について説明する。

【0037】

コンデンサC_f及び抵抗R_{2f}の直列回路は、従来に係る図9に示したダンパ(CD、RD)に機能を兼ねている。コンデンサC_f及び抵抗R_{2f}の直列回路をフィードバック回路として適用することにより、制動効果がループゲイン倍に増強され、制動抵抗には高い抵抗が使用できて、従来回路(図9)に比較して電力ロスを大幅に削減することができる。例えば、抵抗R_{2f}として数十kΩのものを適用し、コンデンサC_fとして100pFのものを適用する。

【0038】

また、コンデンサC_f及び抵抗R_{2f}の直列回路をフィードバック回路として適用することにより、高域の位相を90度に抑え、ローパスフィルタで最大180度遅れる位相を90度程度に抑え、発振を抑えることができる。

【0039】

図6は、この実施形態に係るローパスフィルタの周波数特性を示すものであり、図8に示すようなカットオフ周波数近傍の高域のピークが抑えられていることが分かる。

【0040】

以上のように、上記実施形態のデジタル電力増幅器によれば、スイッチング素子がボディダイオードを内蔵することにより、従来発生していた電圧ロスを抑えることができる。

【0041】

また、上記実施形態のディジタル電力増幅器によれば、フィードバック回路にダンパ機能を持たせたことにより、ローパスフィルタコンデンサに並列に設けられていたダンパを不要とすることができます、従来に比べ、電力ロスを抑えることができる。

【0042】

(B) 他の実施形態

上記実施形態では、スイッチング素子がMOSFETとして説明したが、内蔵ダイオードを有する他のユニポーラトランジスタ（例えばMESFETやMISFETなど）を適用している場合にも、本発明を適用することができる。

【0043】

また、上記実施形態では、スイッチング素子対が一対の場合を示したが、スイッチング素子対を二対（又はそれ以上）含むディジタル電力増幅器でも、ボディダイオードによる貫通電流の害を、スイッチング素子に直列に接続された逆流阻止ダイオードと、それらに並列に設けられた高速ダイオードとで防止しようとしているものに対しては、上記実施形態のスイッチング部の構成を適用することができる。

【0044】

さらに、上述実施形態では、スピーカを駆動するディジタル電力増幅器に適用した場合を例にとって説明したが、本発明はこれに限定されることなく、任意のディジタル電力増幅器に適用することができる。なお、負荷（上記実施形態でのローパスフィルタ及び負荷（スピーカ）の全体に相当する）が誘導性負荷であるときに、本発明によるスイッチング部を適用した効果が大きい。

【0045】

【発明の効果】

以上のように、本発明によれば、従来のディジタル電力増幅器でロスが発生した箇所を改良したので、効率良く増幅させることができるのディジタル電力増幅器を実現できる。

【図面の簡単な説明】

【図1】

実施形態のデジタル電力増幅器の全体構成を示す回路図である。

【図2】

実施形態のデジタルアンプブロックの内部構成を示す回路図である。

【図3】

実施形態のスイッチング部の内部構成を示す回路図である。

【図4】

実施形態の一方のスイッチング素子だけがオンしている状態での電源電流経路の説明図である。

【図5】

実施形態のオンしていたスイッチング素子をオフした直後のローパスフィルタコイルの逆起電圧による電流経路の説明図である。

【図6】

実施形態のローパスフィルタの周波数特性を示す説明図である。

【図7】

従来のデジタル電力増幅器のローパスフィルタ及びスイッチング部の周辺の構成を示す回路図である。

【図8】

従来のローパスフィルタの周波数特性を示す説明図である。

【図9】

従来のローパスフィルタの高域ピークの抑圧構成を示す回路図である。

【図10】

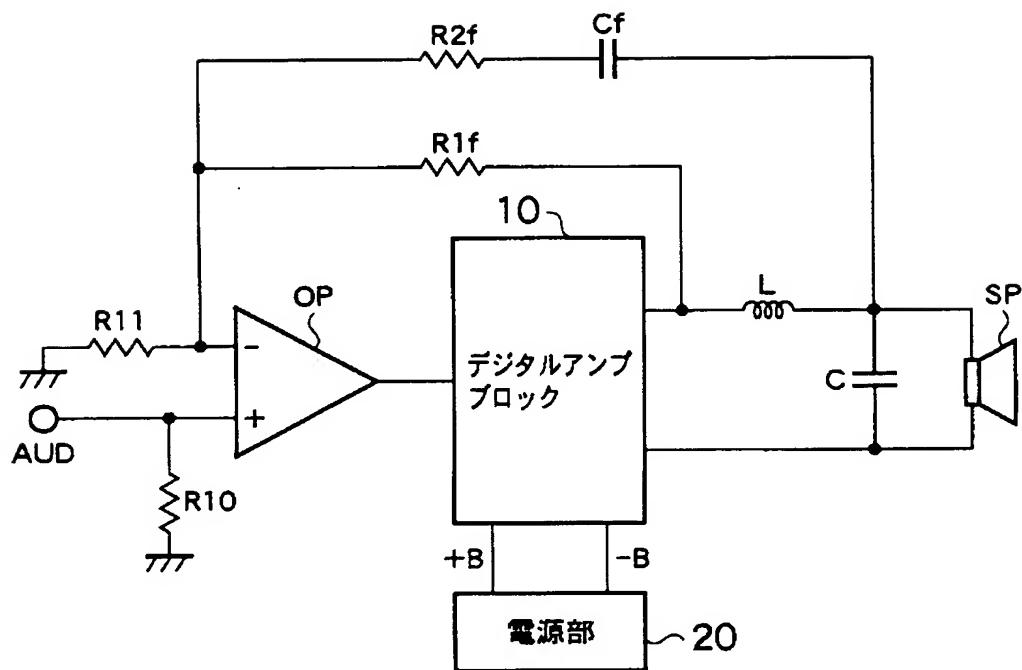
従来のスイッチング素子の内蔵ダイオードによる貫通電流の弊害の除去構成を示す回路図である。

【符号の説明】

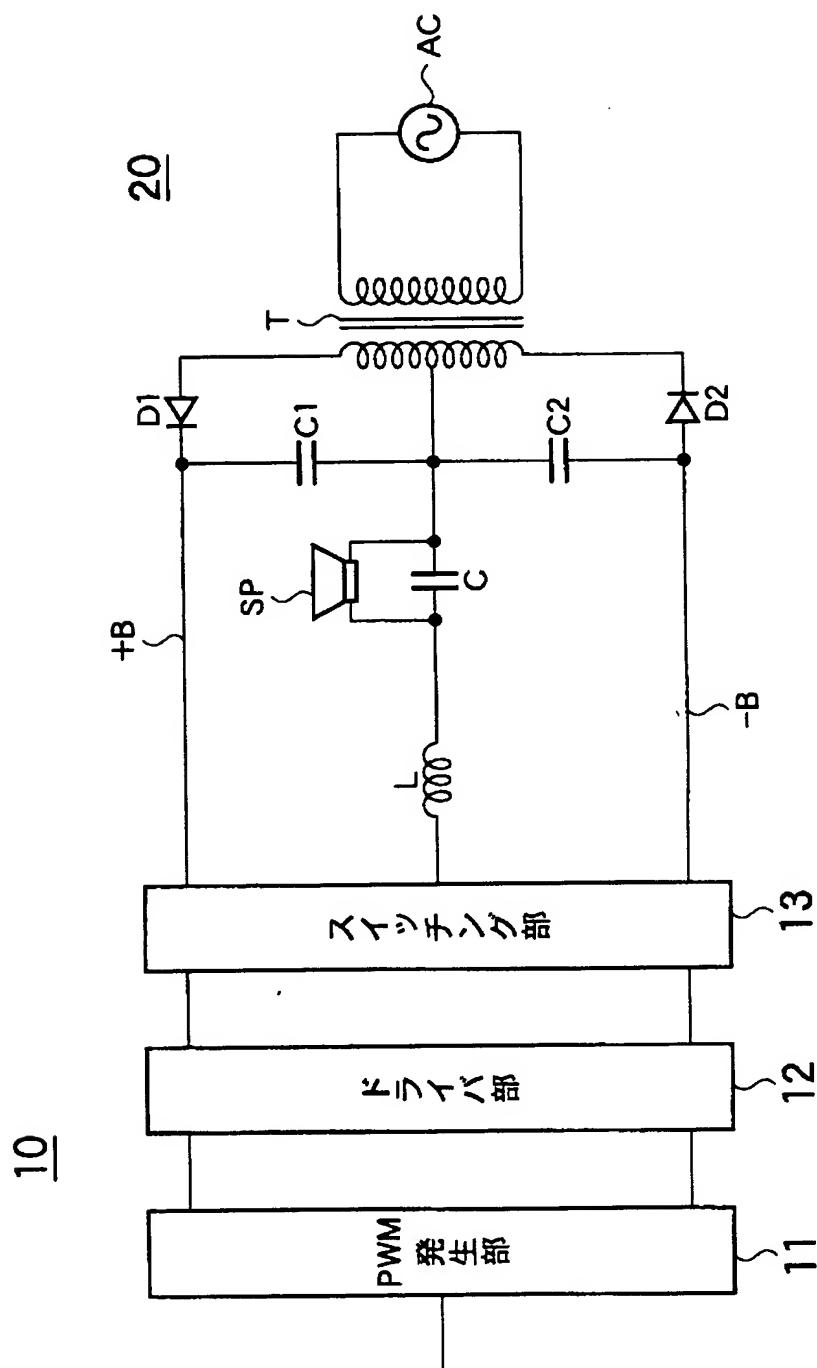
10…デジタルアンプブロック、13…スイッチング部、20…電源部、L…ローパスフィルタコイル、OP…アナログアンプ、C…ローパスフィルタコンデンサ、SP…負荷（スピーカ）、R2f…フィードバック抵抗、Cf…フィードバックコンデンサ、SW1、SW2…スイッチング素子、D11、D12…バイパス用高速ダイオード、L1、L2…貫通電流防止用コイル。

【書類名】 図面

【図1】

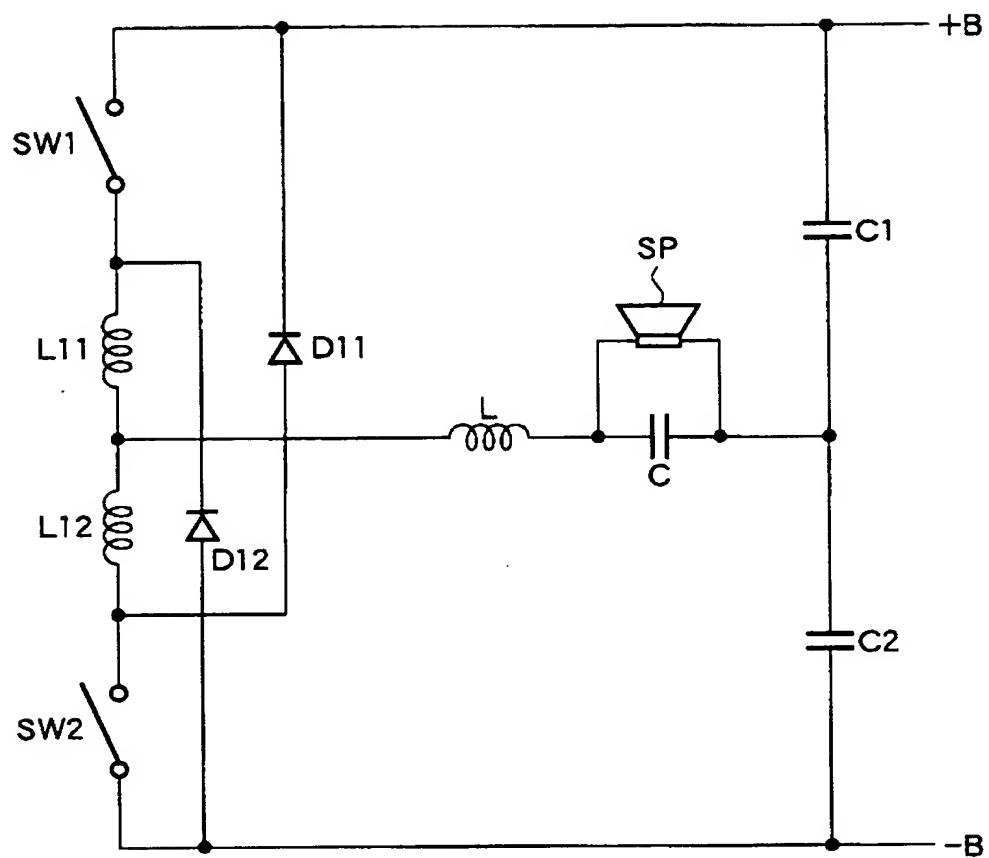


【図2】



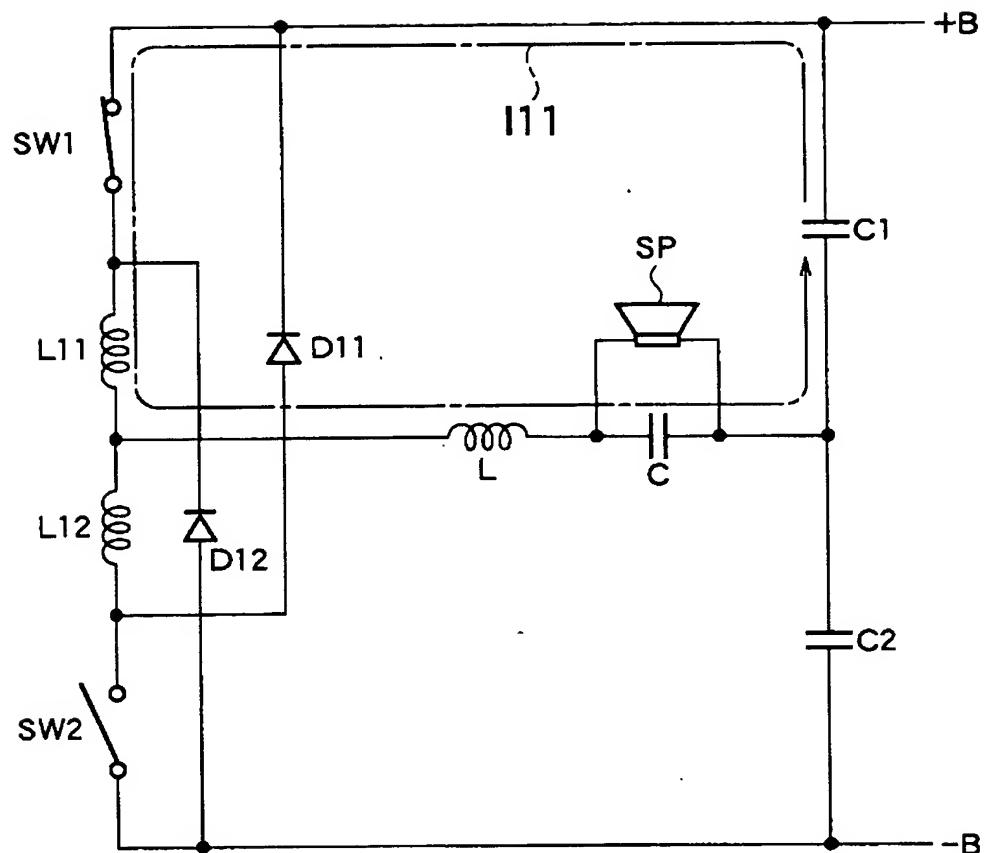
【図3】

13

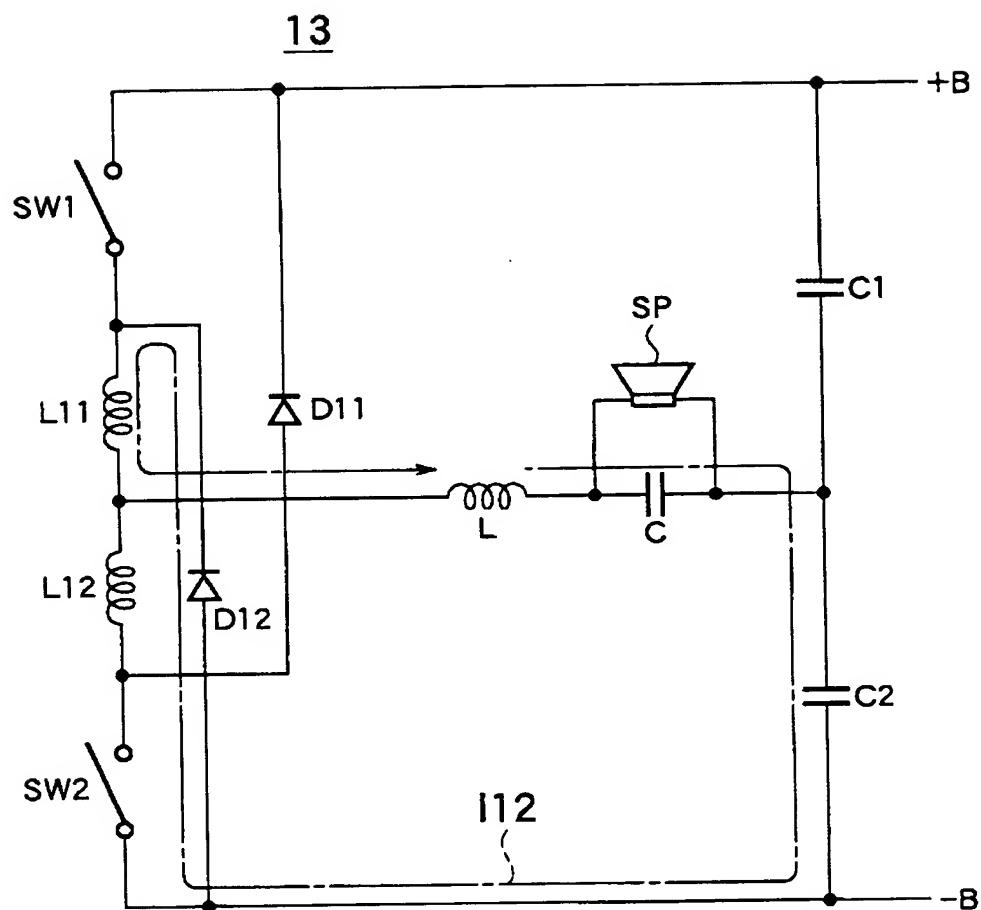


【図4】

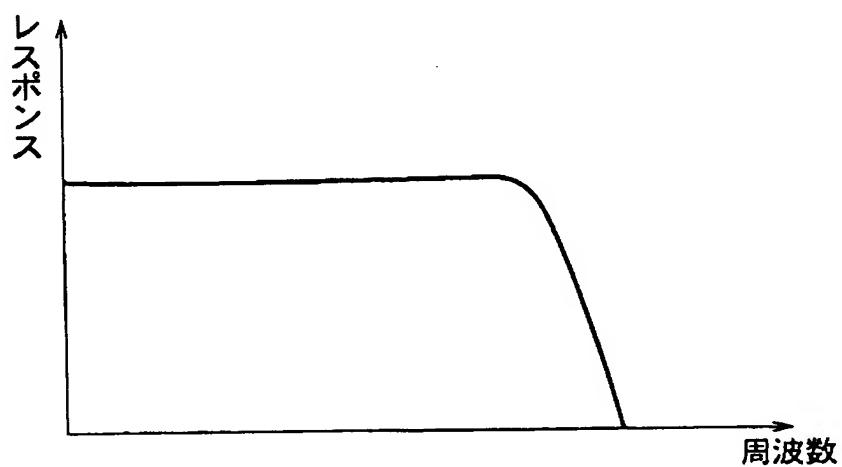
13



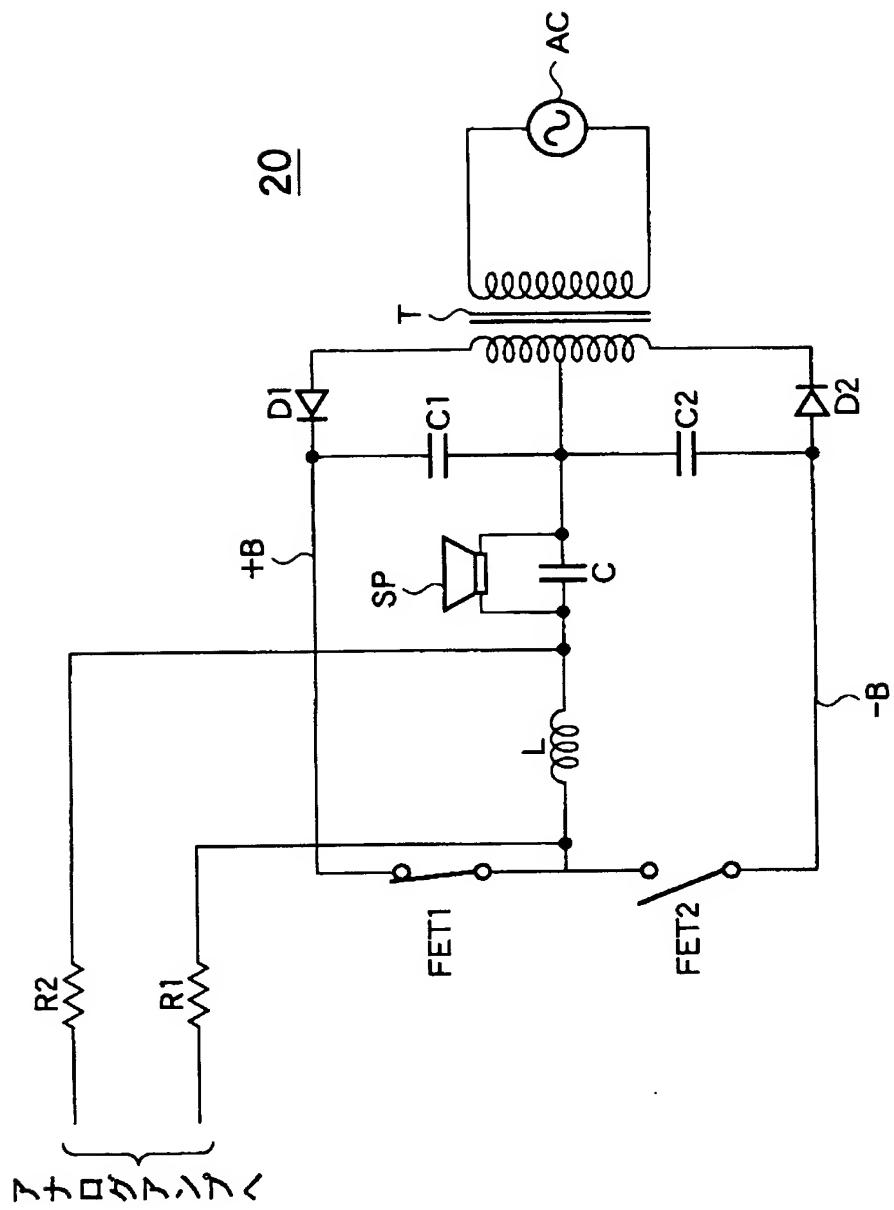
【図5】



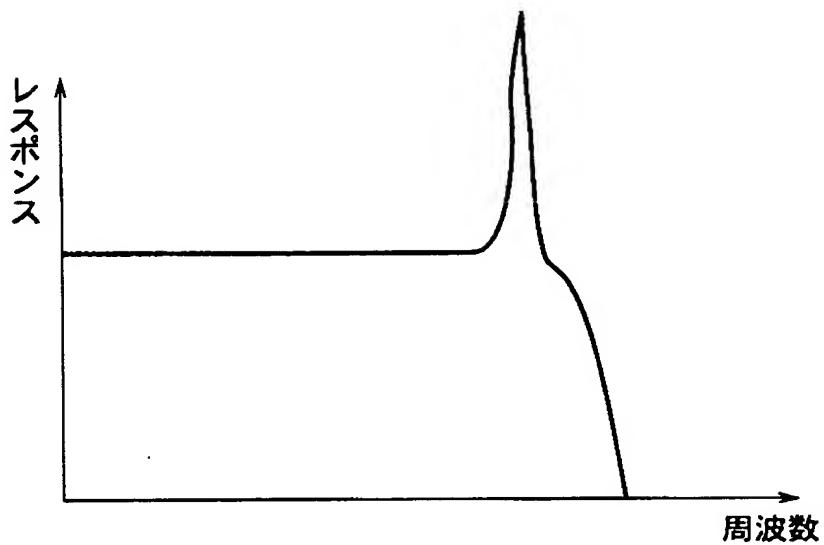
【図6】



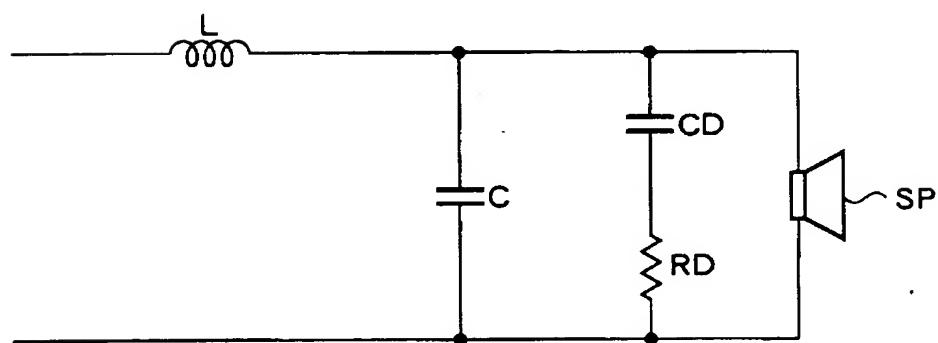
【図7】



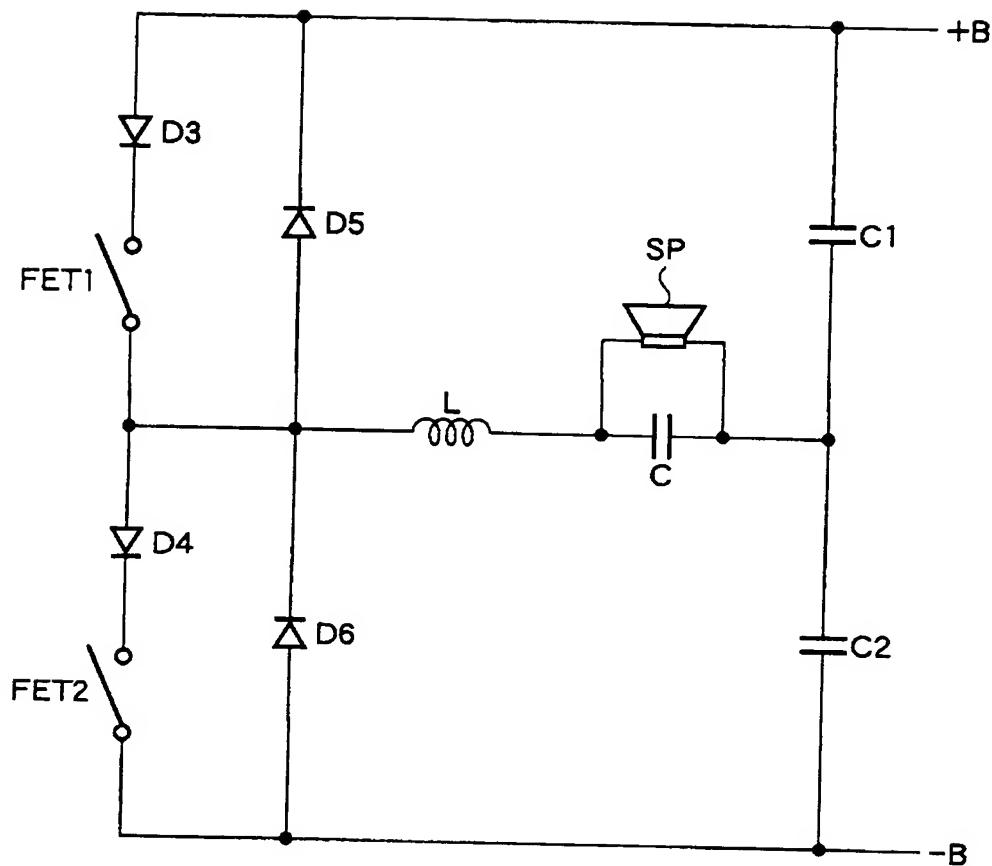
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 電力増幅効率が高いディジタル電力増幅器を提供する。

【解決手段】 本発明は、高低の電源ライン間に介挿された対をなす第1及び第2のスイッチング素子を、相補動作させ、オン動作しているスイッチング素子を切り替える際にはデッドタイムを設けて、ローパスフィルタへの電源供給を制御するディジタル電力増幅器に関する。スイッチング部では、高低の電源ライン間に、第1のスイッチング素子、第1のコイル、第2のコイル及び第2のスイッチング素子を直列に接続している。高電位電源ラインにカソードが、第2のコイルと第2のスイッチングとの間の接続点にアノードが接続された第1の高速ダイオードと、第1のスイッチング素子と第1のコイルとの接続点にカソードが、低電位電源ラインにアノードが接続された第2の高速ダイオードとを有する。第1及び第2のコイル間の接続点をローパスフィルタ側に接続する。

【選択図】 図3

出願人履歴情報

識別番号 [501028699]

1. 変更年月日 2001年 1月23日

[変更理由] 新規登録

住 所 静岡県浜松市大人見町12-446
氏 名 株式会社フライングモール